DIALOG(R)File 352:Derwent WPI (c) 2004 Thomson Derwent. All rts. reserv.

003584950

WPI Acc No: 1983-D3147K/198310

Short-channel MOS semiconductor device - has dielectric strength maintained and has little variation in threshold-voltage NoAbstract

Patent Assignee: HITACHI LTD (HITA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No Kind Date Applicat No Kind Date Week

JP 58016566 A 19830131 198310 B

Priority Applications (No Type Date): JP 81113704 A 19810722

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 58016566 A 8

Title Terms: SHORT; CHANNEL; MOS; SEMICONDUCTOR; DEVICE; DIELECTRIC; STRENGTH; MAINTAIN; VARIATION; THRESHOLD; VOLTAGE; NOABSTRACT

Derwent Class: U12

International Patent Class (Additional): H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO (c) 2004 JPO & JAPIO. All rts. reserv.

01079166 \*\*Image available\*\*
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 58-016566 [JP 58016566 A]

PUBLISHED: January 31, 1983 (19830131) INVENTOR(s): YAMAMOTO NAOKI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.: 56-113704 [JP 81113704]

FILED: July 22, 1981 (19810722)

INTL CLASS: [3] H01L-029/78; H01L-029/50

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors.

MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 171, Vol. 07, No. 94, Pg. 30, April

20, 1983 (19830420)

## **ABSTRACT**

PURPOSE: To prevent field concentration and the increase of withstand voltage, by forming the section of a gate electrode into a trapezoid, thus forming the slope of impurity density on the side of gate of source.drain regions.

CONSTITUTION: A thick oxide film 2 for element isolation is formed on the surface of an Si substrate 1, and a thin gate oxide film 3 on an MOSFET region. Next, an Mo film approximately 300nm thick is formed, and a gate electrode 4 is formed by etching this film. The etching for the Mo film is performed by reactive plasma etching. Thereat, when Freon contains oxygen, the sides do not become vertical, but slope. Next, source drain regions 5 are formed by masking the electrode 4. Since the fringe of the electrode 4 is different in thickness because of sloped sides, the impurity density in the region 5 is not homogenized. Therefore, the field concentration at junction of the region 5 is reduced resulting in the prevention of the increase of withstand voltage between source drain.

?

## (1) 日本国特許庁 (JP)

①特許出願公開

# ⑩公開特許公報(A)

昭58—16566

①Int. Cl.³H 01 L 29/78 29/50 識別記号

庁内整理番号 7377-5F ❸公開 昭和58年(1983) 1月31日

発明の数 2 審査請求 未請求

(全 4 頁)

## **匈半導体装置およびその製造方法**

②特 願 昭56—113704 ·

20出

願 昭56(1981)7月22日

⑫発 明 者 山本直樹

国分寺市東恋ケ窪1丁目280番

地株式会社日立製作所中央研究 所内

**⑪出 願 人 株式会社日立製作所** 

東京都千代田区丸の内1丁目5

番1号

個代 理 人 弁理士 薄田利幸

明 細 書 発明の名称 半導体装置 特許請求の範囲

- 1. 半導体基板の一主表面上にゲート絶録膜を介して形成された断面形状が台形のゲート電極と、上配半導体基板の表面領域内に形成され、上配ゲート電極の下方にある部分に後度勾配を有するソース・ドレイン領域をそなえたことを特徴とする半導体装置。
- 2. 上記ゲート電極は高融点金属もしくは多結晶 シリコンからなる特許請求の範囲第1項記載の 半導体装置。
- 3. 上記高融点金属は、モリブデン、タングステン、クロム、チタン、もしくはニオブから選ばれる特許請求の範囲第2項記載の半導体装置。
- 4 ・上記ソース・ドレイン領域はひまイオンを打 込まれた領域である特許請求の範囲第1項乃至 第3項記載の半導体装置。
- 5. 突効チャネル長が低度3 m 以下である特許 請求の範囲第1項乃至第4項記載の半導体装置。

- 6. 下記工程を含む半導体装置の製造方法
  - (1) 半導体基板の一主表面上の所望部分にゲート 絶縁膜とゲート電極膜を積層して被着する 工程。
  - (2) 上記ゲート電極膜の所望部分をドライエッチングによって選択的に除去し、新面形状が 台形であるゲート電極を形成する工程。
  - (3) 上記ゲート電極をマスクド用いてイオン打 込みを行ない、ソース・ドレイン領域を形成 する工程。
- 7. 上記ゲート電信原はモリブデン膜であり、上 配ドライエッチングはフレオンと欧索を含むガスを反応ガスによつて行なわれる特許請求の範 囲第6項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置に関し、詳しくは、耐圧低 下やしきい値電圧変動の少ないMOS半導体装置 (オメゲルを設定が注 に関する。

近年にかけるMOS半導体装置の集積度向上に ともない、単位MOSトラングスタのチヤネル長

特開昭59- 16566(2)

も着るしく短かくなる傾向にある。

MOSトランジスタのチャネル長が短かくなると、ソース・ドレイン間の耐圧低下や、ホットエレクトロンによるしきい値電圧の変動などが大きな問題となつてきた。

このような問題を解決するため、ソース・ドレイン領域に低機度のリンを打込んだ後、高機度のヒ業を打込んで、熱処理を行ない、両者の拡散定数の差を利用して、不純物層に機能勾配を作り、とればよって電界集中を防止する方法が提案されている。

しかし、との方法は、リンの拡散定数が非常に 大きいため、短かいテヤネル長を形成することが 困難で、ほぼ2mm以下の短チャネル素子の形成 に適用するのは難かしかつた。

本発明の目的は、上記従来の問題を解決し、電界集中による耐圧低下のない短チャンネルMOS 半導体装置を提供することである。

上記目的を達成するため、本発明は、ゲート電 個の断面形状を台形にするととによつて、ソース

酸素の含有量が増すと、偶面はさらに傾斜するので、CF。プラズマ中に含まれる酸素の量によって、ゲート電極4の側面の傾斜を、所望の角度に関節することが可能であり、本実施例にかいては、CF。に対して20%の酸素を軽加し、第2図に示したように、断面形状が台形のゲート電極4を形成した。

つぎに、上配ゲート電極4をマスクにして、ヒ 来イオン打込みを行ない、ソース・ドレイン領域 5を形成した。

厚さ200mmの酸化膜上に形成されてあるモリブデン膜を介してひまイオンを打込む場合、モリブデン膜の膜厚が200mm、ひまイオンの打込み条件が80keV、1×10<sup>10</sup>/cm<sup>20</sup> であると、ひまイオンはモリブデン膜をよく通過し、モリブデン膜の下方にあるP形シリコン基板は I形化する。しかし、モリブデン膜の膜厚が300mmにすると、ヒまイオンはマスクされてシリコン基板に到達せず、基板の導電形は変らなかつた。

本実施例の場合、ゲート電振4の厚さが同一の

・ドレイン領域のゲート側に不純物の後度勾配を作り、とれによつて電界集中を防止し、耐圧低下を防止するものである。

以下、本発明を詳細に説明する。

第1 図乃至第3 図は、本発明の一実施例を示す 工程図である。

まず、第1図に示すように、シリコン基板1の 主表面上に来子間分離用の厚い酸化膜2、および MOSトランジスタ領域に暮いゲート酸化膜(膜 厚径は20nm)3を形成した。

つぎに、厚さほぼ300nmのモリブデン膜を 形成し、このモリブデン膜上に、周知の手段によ つてホトレジストパターンを形成した後、このホ トレジストパターンをマスクに用いて上記モリブ デン膜をエッチして、ゲート電極4を形成した。

モリプデン膜のエッチングは、CF。など各種フレオンを反応ガスとする反応性プラズマエッチングによつて行なうことができる。この際、CF。などが酸素を含んでいると、側面は垂直にならず、傾斜するようになる。

部分は、ひ来イオンが全く通過しない。しかし、 グート電板4の周級部は、上記のように、側面が 傾斜して厚さが異なつているため、 との部分の下 方のソース・ドレイン領域は、自己整合的に濃度 勾配を持つようになり、打込み梁さのプロファイ ルも、第2図に示したように傾斜したものになる。

すなわち、本発明によれば、ソース・ドレイン 領域内の不純物濃度は均一とはならず、ゲート側 の端部では濃度勾配を有していて、外部へ向うほ ど濃度が低い。

そのため、ソース・ドレイン領域の接合における電界集中は緩和され、ソース・ドレイン間の計 圧低下は防止される。

第3図に示すように、りんけい酸ガラス(PSG) 膜6を層間絶嫌膜として被着した後、周知のホト エッナング技術を用いてコンタクト孔を形成し、 アルミニウム・シリコン合金を用い配線7を形成 した。

水蒸気雰囲気中で450℃、30分間のアニールを行なつた後、ペンシペーション膜としてPSG

排開昭58- 16566(3)

膜8を全面に堆積し、MOSトランジスタを形成 した。

このようにして形成された実効チャンネル長
1.3 mmのMOSトランジスタのソース・ドレイン間耐圧は 9.5~10 V であつた。一方、従来のMOSトランジスタのソース・ドレイン間耐圧は、ほぼ 8~8.5 V であることから、本発明によつて、ソース・ドレイン間耐圧が、着るしく改善されたことは明らかであり、ホツトエレクトロンによる影響も低級することができた。

上記実施例にかいては、ゲート電極の材料として、モリブデンを使用したが、本発明はモリブデンを使用したが、本発明はモリブデンに限定されるものでないことは勿論であり、たとえばタングステン、ニオブ、チタン、クロムなどの高融点金属や多結晶シリコンなどを使用することができる。しかし、多結晶シリコンは、打込まれたイオンが通過し難いため、モリブデンなどの高融点金属を用いた方が、はるかに好ましい結果が得られる。

また、ソース・ドレイン領域形成のイオン打込

きい場合は、耐圧低下などの問題が生するととは 値めて少ないので、本発明は実効チャネル長が低 は3 m 四以下のMOSトランジスタに適用して、 最も有効である。

断面形状が台形のゲート電低を形成するには、 エンチ液を用いる優式のエッチングを用いること も、必ずしも不可能ではない。

しかし、湿式のエッチングは、ゲート電極の傾 斜の程度を制御するのが困難であること、および、 数細加工ができないこと、などの理由から、本発 明の形成に使用するのは難かしい。

一方、エッチ液を用いないドライエッチングは、 傾斜の程度の制御が容易であり、しかも、 数細加 工も可能なので、本発明の形成には個めて好適で ある。

通常の場合、ドライエッチングによつて得られるパターンの断面形状が台形状になるのは、所要面積の増大という見地から、好ましくないとされることが多く、何面を垂直にして、断面が台形状になるのを防止するために、多くの努力がなされ

みを行なつた後、活性化のために熱処理が必要な ので、低融点の材料は、ゲート金属用材料として 好ましくない。

ソースかよびドレインを形成するために打込まれるイオンとしては、ひ柔イオンが最も好ましい。 りんイオンは、イオン打込み時のマスクに傾斜部がなくても、打込みとその後に行なわれるアニールによつて、すべての周線部に濃度勾配が生じてしまりため、本発明の効果が不明確であり、また、拡散係数が大きいので、チャネル長の短かいNOSトランジスタの形成に用いることはむずかしい。

しかし、ひまイオンはこのようなことがなく、本発明に使用した場合、ソース・ドレイン領域のうち、ゲート電極の下方にある部分のみに濃度勾配が生じ、本発明の効果が顕著に現われる。また、拡散係数の値も適当であるため、短かいチャンネルのMOSトランジスタを、支障なく形成することができる。

本発明は、チャネルの長さが大きいMO8トランジスタにも適用できるが、チャネルの長さが大

てきた。

しかし、本発明は、とのような一般的常識とは 反対内、ドライエッチングによつて、断面が台形 状のグート電極を積極的に形成し、これをソース ・ドレイン領域形成の際のマスクとして用いたも のである。

とれは他に類を見ない本発明の大きな特徴であ り、得られる利益は極めて大きい。...

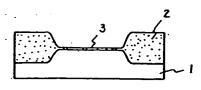
図面の簡単な説明

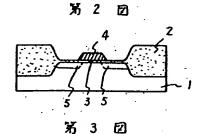
第1図乃至第3図は本発明の一実施例を示す工 程図である。

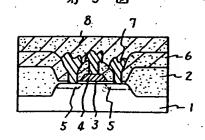
1 … シリコン芸板、 2 , 3 … 絶縁膜、 4 … ゲート 電極、 5 … ソース・ドレイン領域、 6 , 8 … P 8 G 膜、 7 … 配線。

代理人 弁理士 存田利司

#### 第一 Ø







発明の名称 半導体装置およびその製造方法 特許請求の範囲

- 1. 半導体基板の一主袋面上化ゲート絶縁膜を介 して形成された断面形状が台形のゲート電框と、 上配半導体基板の表面領域内に形成され、上記 ゲート電極の下方にある部分に最度勾配を有す るソース・ドレイン領域をそなえたことを特徴 とする半導体装置。
- 2. 上記ゲート電板は高融点金属もしくは多結晶 シリコンからなる特許請求の範囲第1項記載の 半導体装置。
- 3. 上記高融点金属は、モリブデン、タングステ ン、クロム、チタン、もしくはニオブから選ば れる特許請求の範囲第2項記載の半導体装置。
- 4. 上記ソース・ドレイン領域はひまイオンを打 込まれた領域である特許請求の範囲第1項乃至 第3項記載の半導体装置。
- 5. 実効チャンネル長がほぼ 3 mm以下である特許 請求の範囲第1項乃至第4項記載の半導体装置。

手・続 書(方式)

12,

特許庁長官 股 件の表示

> 昭和 56年 113704 景

発明の名称

半導体装置およびその製造方法

植正をする者

当件との物体 特許出題

〒100 東京都千代田区丸の内一丁目 5 番 1 号 15101株.太公社 Ħ Ш

東京都千代田区丸の内-

補正命令の日付 昭和56年11月24日

植正の対象

明和書の第1頁および第2頁

本顧明細書第1頁および第2頁を別紙 補正の内容

- 下記工程を含む半導体装置の製造方法
- (1) 半導体差板の一主疫面上の所望部分にゲー ト絶録膜とゲート戦極膜を積層して被差する 工程。
- (2) 上記ゲート電極膜の所望部分をドライエッ チングによって選択的に除去し、新面形状が 台形であるゲート電便を形成する工程。
- ・(3) 上記ゲート電極をマスクに用いてイオン打 込みを行ない、ソース・ドレイン領域を形成 する工程。
- 7. 上記ゲート電板鏡はモリブデン膜であり、上 記ドライエッチングはフレオンと酸素を含むガ スを反応ガスによって行なわれる特許請求の範 囲第6項記載の半導体装置の製造方法。

### 発明の詳細な説明

本発明は半導体装置およびその製造方法に関し、 詳しくは、耐圧低下やしきい値電圧変動の少ない MO8半導体装置およびその製造方法に関する。

近年におけるMO8半導体装置の集積度向上に ともない、単位MVSトランジスタのチャネル長

# This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

# **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:	
☐ BLACK BORDERS	
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES	
☐ FADED TEXT OR DRAWING	
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING	
☐ SKEWED/SLANTED IMAGES	
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS	
☐ GRAY SCALE DOCUMENTS	
LINES OR MARKS ON ORIGINAL DOCUMENT	
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY	

# IMAGES ARE BEST AVAILABLE COPY.

☐ OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.